

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

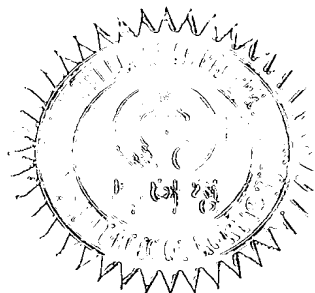
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0063477  
Application Number

출원년월일 : 2002년 10월 17일  
Date of Application OCT 17, 2002

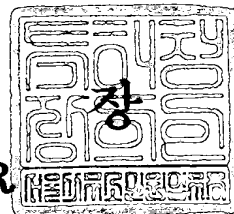
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      09      월      03      일

특      허      청

COMMISSIONER





1020020063477

출력 일자: 2003/9/8

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0022
<b>【제출일자】</b>	2002. 10. 17
<b>【국제특허분류】</b>	H01L
<b>【발명의 명칭】</b>	고 커패시턴스를 지니는 금속-절연체-금속 커패시터 및 이를 구비하는 집적 회로 칩
<b>【발명의 영문명칭】</b>	Metal-Insulator-Metal capacitor having high capacitance and integrated circuit chip having the same
<b>【출원인】</b>	
<b>【명칭】</b>	삼성전자 주식회사
<b>【출원인코드】</b>	1-1998-104271-3
<b>【대리인】</b>	
<b>【성명】</b>	이영필
<b>【대리인코드】</b>	9-1998-000334-6
<b>【포괄위임등록번호】</b>	1999-009556-9
<b>【대리인】</b>	
<b>【성명】</b>	정상빈
<b>【대리인코드】</b>	9-1998-000541-1
<b>【포괄위임등록번호】</b>	1999-009617-5
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	안정훈
<b>【성명의 영문표기】</b>	AHN, Jeong Hoon
<b>【주민등록번호】</b>	710123-1841216
<b>【우편번호】</b>	135-270
<b>【주소】</b>	서울특별시 강남구 도곡동 467-18 우성캐릭터 316호
<b>【국적】</b>	KR
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	이경태
<b>【성명의 영문표기】</b>	LEE, Kyung Tae
<b>【주민등록번호】</b>	650127-1019413

【우편번호】	427-040
【주소】	경기도 과천시 별양동 주공아파트 409-1203
【국적】	KR
【발명자】	
【성명의 국문표기】	정무경
【성명의 영문표기】	JUNG,Mu Kyeng
【주민등록번호】	710507-1845811
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 7-37 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	이용준
【성명의 영문표기】	LEE,Yong Jun
【주민등록번호】	730720-1067710
【우편번호】	435-050
【주소】	경기도 군포시 금정동 872번지 주공아파트 215-604
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	22 면 22,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	22 항 813,000 원
【합계】	864,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명의 금속-절연체-금속 커패시터는 상, 하부 전극 및 상, 하부 전극 사이에 개재된 유전체막을 포함하며, 상부 전극에는 제1 전압이 인가되고, 하부 전극에는 제1 전압과 다른 제2 전압이 인가되며, 상부 전극에 제1 전압을 인가하기 위한 배선은 하부 전극의 하부 레벨 또는 동일 레벨의 배선이다. 따라서, 유전체막의 두께를 유전체막의 신뢰성이 인정되는 한도 내에서 최소화할 수 있으므로 고 커패시턴스의 MIM 커패시터를 구현할 수 있다.

**【대표도】**

도 3

**【색인어】**

MIM 커패시터, 고 커패시턴스, 콘택홀

**【명세서】****【발명의 명칭】**

고 커패시턴스를 지니는 금속-절연체-금속 커패시터 및 이를 구비하는 집적회로 칩{Metal-Insulator-Metal capacitor having high capacitance and integrated circuit chip having the same}

**【도면의 간단한 설명】**

도 1 및 도 2는 종래의 금속-절연체-금속(이하 MIM) 커패시터의 단면도들이다.

도 3은 본 발명의 제1 실시예에 따른 MIM 커패시터의 등가회로도이다.

도 4는 도 3의 제1 실시예에 따른 MIM 커패시터를 구현하기 위한 제1 레이아웃이다.

도 5 내지 도 7은 도 4의 제1 레이아웃을 사용하여 구현한 MIM 커패시터의 단면 구조를 나타내는 단면도들이다.

도 8은 도 3의 제1 실시예에 따른 MIM 커패시터를 구현하기 위한 제2 레이아웃이다.

도 9 내지 도 11은 도 8의 제2 레이아웃을 사용하여 구현한 MIM 커패시터의 단면 구조를 나타내는 단면도들이다.

도 12 및 도 13은 도 3의 제1 실시예에 따른 MIM 커패시터를 구현하기 위한 제3 및 제4 레이아웃들이다.

도 14는 본 발명의 제2 실시예에 따른 MIM 커패시터의 등가회로도이다.

도 15 및 도 16은 도 14의 제2 실시예에 따른 MIM 커패시터를 구현하기 위한 제1 및 제2 레이아웃들이다.

도 17 내지 도 19는 도 15 및 도 16의 제1 및 제2 레이아웃을 사용하여 구현한 MIM 커패시터의 단면 구조를 나타내는 단면도들이다.

도 20은 본 발명의 제3 실시예에 따른 MIM 커패시터의 등가회로도이다.

도 21 및 22는 도 20의 제3 실시예에 따른 MIM 커패시터를 구현하기 위한 제1 및 제2 레이아웃들이다.

도 23 내지 도 25는 도 21 및 22의 제1 및 제2 레이아웃을 사용하여 구현한 MIM 커패시터의 단면 구조를 나타내는 단면도들이다.

도 26 내지 도 29는 도 5에 도시된 MIM 커패시터의 제조 방법을 설명하기 위한 단면도들이다.

도 30 및 도 31은 도 6에 도시된 MIM 커패시터를 제조하는 방법을 설명하기 위한 단면도들이다.

도 32는 도 25에 도시된 MIM 커패시터를 제조하는 방법을 설명하기 위한 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

112, 212, 322 : 제1 배선    120, 220, 320 : 하부 전극

130, 230, 330 : 유전체막    140, 240, 340 : 상부 전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<20>        본 발명은 높은 커패시턴스를 갖는 금속-절연체-금속(이하 MIM) 커패시터 및 이를 포함하는 집적회로 칩에 관한 것이다.

<21>        커패시터는 그 접합 구조에 따라서, MOS(metal-oxide-silicon)커패시터, pn 접합 커패시터, 폴리실리콘-절연체-폴리실리콘(PIP) 커패시터, MIM 커패시터 등으로 구분된다. 이 중에서 MIM 커패시터를 제외한 나머지 커패시터들은 적어도 한쪽 전극 물질로서 단결정 실리콘이나 다결정 실리콘을 사용한다. 그러나 단결정 실리콘 또는 다결정 실리콘은 그 물질 특성으로 인하여 커패시터 전극의 저항을 감소시키는데는 한계를 나타내고 있다. 또, 단결정 실리콘 또는 다결정 실리콘 전극에 바이어스(bias) 전압을 인가하였을 경우에는 공핍(depletion) 영역이 발생하고, 전압이 불안정하게 되어 커패시턴스 값이 일정하게 유지되지 않는다.

<22>        따라서, 커패시터 전극의 저항을 감소시켜 주파수 의존성을 작게할 수 있으며, 전압/온도에 따른 커패시턴스의 변화율 즉, 전압계수(voltage coefficient)와 온도계수(temperature coefficient)가 양호한 MIM 커패시터가 다양한 아날로그 제품, 혼합 모드 신호 응용 제품 및 시스템 온 칩(SOC) 응용 제품에 적용되고 있다. 예를 들어, 유무선 통신의 아날로그 또는 혼합(mixed) 모드 신호 응용에 적용되는 아날로그 커패시터 또는 필터, 메인 프로세스 유닛(main process

unit) 보드의 디커플링(decoupling) 커패시터, 고주파 회로의 RF 커패시터, 임베디드(embedded) DRAM 등에 MIM 커패시터가 적용되고 있다.

<23> 그런데 종래의 MIM 커패시터는 구조적인 제약으로 인해 제조 공정 시 여러 가지 문제점을 노출하고 있다. 현재까지 알려진 MIM 커패시터의 단면도가 도 1(R. Liu et al., Proc. IITC, 111 (2000)) 및 도 2(M. Armacost et al., Proc. IEDM, 157 (2000))에 도시되어 있다.

<24> 도 1 및 도 2에서 참조 부호 10 및 12는 MIM 커패시터를, 참조 부호 20은 하부 전극을, 30은 유전체막을, 40은 상부 전극을, 50은 캡핑막을, C/P\_20은 하부 전극 콘택 플러그를, C/P\_40은 상부 전극 콘택 플러그를, C/H는 콘택홀을, D/D\_20은 하부 전극과 접촉하는 듀얼 다마신 배선을, D/D\_40은 상부 전극과 접촉하는 듀얼 다마신 배선을, D/R은 다마신 영역을 각각 나타낸다. 나머지 참조 부호로 표시되지 않은 부분들은 층간절연막을 나타낸다.

<25> 도 1의 MIM 커패시터(10)의 경우에는 상부 전극(40)에 소정 전압을 인가하기 위한 배선(미도시)과 상부 전극(40)이 상부 전극 콘택 플러그(C/P\_40)에 의해 전기적으로 연결된다. 따라서, 상부 전극 콘택 플러그(C/P\_40)가 형성될 콘택홀(C/H)형성 공정시 식각 종료점을 상부 전극(40)의 상면으로 정확하게 조절하기가 어려워서 상부 전극(40)을 소정 두께 이상으로 형성하여야 한다. 그런데 상부 전극(40)의 두께가 두꺼워지면 상부 전극(40)을 패터닝하기 위한 식각 공정시 하부의 유전체막(30)이 과도 식각 공정에 노출되어 심할 경우에는 유전체막(30)이 식각되어 하부 전극(20)이 드러나게 된다. 따라서 유전체막(30)이 과도한 식각에



견딜 수 있는 일정 두께 이상으로 형성되어야 하므로 커패시턴스의 감소를 유발한다.

<26> 도 2의 MIM 커패시터(12)의 경우에도 상부 전극(40)에 소정 전압을 인가하기 위한 듀얼 다마신 배선(D/D\_40)이 상부 전극(40)과 전기적으로 연결되어 있다. 따라서 듀얼 다마신 배선(D/D\_40)이 형성될 듀얼 다마신 영역(D/R) 형성 공정 시의 식각 공정 마진 확보를 위해 상부 전극(40) 및 유전체막(30)의 두께가 증가하여 커패시턴스가 감소하는 문제점이 있다.

<27> 그리고, 도 1의 MIM 커패시터(10)의 경우, 하부 전극 콘택 플러그(C/P\_20) 및 상부 전극 콘택 플러그(C/P\_40)가 각각 서로 다른 깊이의 고 어스펙트비를 가지는 콘택홀(C/H) 내에 형성되고, 도 2의 MIM 커패시터(12)의 경우, 상부 전극에 소정 전압을 인가하기 위한 듀얼 다마신 배선(D/D\_40) 및 하부 전극에 소정 전압을 인가하기 위한 듀얼 다마신 배선(D/D\_20)이 서로 다른 깊이의 고 어스펙트비를 가지는 다마신 영역(D/R) 내에 형성되므로, 이들 콘택홀(C/H) 및 다마신 영역(D/R) 형성 공정의 조절 또한 용이하지가 않다. 또, 콘택홀(C/H) 및 다마신 영역(D/R) 형성 시 발생하는 폴리머와 같은 식각 잔류물 등에 의한 접촉 불량도 발생할 확률이 높다. 즉, 종래의 MIM 커패시터 구조는 제조 공정 시 많은 제약이 따르고 그 결과 고 커패시턴스의 커패시터를 구현하는데 한계가 있다.

<28> 따라서 제조 공정의 제약 없이 고 커패시턴스의 MIM 커패시터를 구현할 수 있는 새로운 구조의 MIM 커패시터의 개발이 요청되고 있다.

**【발명이 이루고자 하는 기술적 과제】**

<29>        본 발명이 이루고자 하는 기술적 과제는, 고 커패시턴스의 MIM 커패시터를 제공하는 것이다.

<30>        본 발명이 이루고자 하는 기술적 과제는 상기 고 커패시턴스의 MIM 커패시터를 구비하는 집적회로 칩을 제공하고자 하는 것이다.

**【발명의 구성 및 작용】**

<31>        상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 금속-절연체-금속 커패시터는 상, 하부 전극 및 상, 하부 전극 사이에 개재된 유전체막을 포함하며, 상부 전극에는 제1 전압이 인가되고, 하부 전극에는 제1 전압과 다른 제2 전압이 인가되며, 상부 전극에 제1 전압을 인가하기 위한 배선은 하부 전극과 동일 레벨 또는 하부 레벨의 배선이다.

<32>        본 발명의 제1 실시예에 따른 MIM 커패시터는 기판 상에 서로 절연되어 형성된 제1 전압이 인가되는 제1 배선과 제2 전압이 인가되는 제2 배선, 상기 제1 및 제2 배선보다 높은 레벨이고, 상기 제1 배선과 절연되고, 상기 제2 배선과 접촉하는 하부 전극과 유전체막을 개재하여 상기 하부 전극과 오버랩되고, 상기 제1 배선과 접촉하는 상부 전극을 포함한다.

<33>        본 발명의 제2 실시예에 따른 MIM 커패시터는 제1 전압이 인가되는 제1 배선, 상기 제1 배선보다 높은 레벨이고, 상기 제1 배선과 절연되어 있는 하부 전극과 유전체막을 개재하여 상기 하부 전극과 오버랩되고, 상기 제1 배선과 접촉하는 상부 전극을 포함한다.

- <34> 본 발명의 제3 실시예에 따른 MIM 커패시터는 제1 전압이 인가되는 제1 배선, 상기 제1 배선과 절연되어 있으며, 상기 제1 배선과 동일 레벨인 하부 전극과 유전체막을 개재하여 상기 하부 전극과 오버랩되고, 상기 제1 배선과 접촉하는 상부 전극을 포함한다.
- <35> 상기 다른 기술적 과제를 달성하기 위한 집적회로 칩은 상술한 실시예들에 따른 MIM 커패시터를 포함하는 칩이다.
- <36> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <37> 이하 첨부한 도면을 참조하여 본 발명에 따른 MIM 커패시터 및 그 제조 방법에 관한 실시예들을 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 각 층 및 물질들의 모양 및 두께는 설명의 편의를 위하여 과장 또는 개략화된 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 부재를 지칭한다.
- <38> 본 발명의 MIM 커패시터는 상부 전극에 소정의 전압을 인가하기 위한 배선이 하부 전극과 동일 레벨 또는 하부 레벨의 배선으로 이루어져 있다.
- <39> 도 3은 본 발명의 제1 실시예에 따른 MIM 커패시터(100)의 등가회로도이다. MIM 커패시터(100)는  $M_n$  레벨의 하부 전극과  $M_{n+1}$  레벨의 상부 전극으로

구성된다.  $M_{n+1}$  레벨의 상부 전극에는  $M_n$  레벨의 하부 전극보다 하부 레벨인  $M_{n-1}$  레벨의 배선을 통해 제1 전압( $V_1$ )이 인가된다.  $M_n$  레벨의 하부 전극에도  $M_{n-1}$  레벨의 배선을 통해 제2 전압( $V_2$ )이 인가된다. 본 명세서에서  $M_{n-1}$  내지  $M_{n+1}$  은  $n-1$  내지  $n+1$  번째( $n$ 은 정수)의 배선층(interconnection layer)의 레벨을 지칭하며, 각 어플리케이션에 따라 그 배선층의 레벨은 달라질 수 있으며, 본 발명의 상, 하부 전극 및 배선들이 형성되는 위치도 달라질 수 있다.

<40> 상부 전극 및 하부 전극에 각각 인가되는 제1 전압( $V_1$ )과 제2 전압( $V_2$ )의 전압 차이( $V_{diff} = |V_2 - V_1|$ )는 하기 식을 만족시킨다.

<41> [수학식 1]

<42>  $Q = C V_{diff}$

<43> 상기 식중,  $Q$ 는 커패시터에 요구되는 전하량,  $C$ 는 커패시턴스이다.

<44> 즉, MIM 커패시터에 요구되는 전하량에 따라  $V_{diff}$ 는 달라질 수 있다.

<45> 통상적인 소자에 있어서는  $V_{diff}$ 는 전원 전압( $V_{dd}$ )과 접지 전압의 차에 해당한다.

<46> 도 3의 등가회로도로서 표시된 본 발명의 제1 실시예에 따른 MIM 커패시터 (100)는 도 4와 같은 제1 레이아웃을 사용하여 구현할 수 있다. 도 4에서 112는 제1 전압( $V_1$ )이 인가되는 제1 배선 패턴을, 114는 제2 전압( $V_2$ )이 인가되는 제2 배선 패턴을, 120은 하부 전극 패턴을, 140은 상부 전극 패턴을, C/H1은 제1 배선을 노출시키는 콘택홀 패턴을 각각 나타낸다.

- <47> 도 4의 제1 레이아웃을 사용하여 구현한 MIM 커패시터의 단면 구조는 제1 레이아웃의 A-A'선을 따라 자른 단면도들인 도 5 내지 도 7과 같이 다양한 형태를 지닐 수 있다.
- <48> 도 5를 참조하면, 상부 전극(140)은 하부 전극(120)과 오버랩되도록 배치되어 있으며, 하부 및 상부 전극(120, 140) 쌍 사이에 유전체막(130)이 개재되어 MIM 커패시터를 구성하고 있다. 유전체막(130) 내에 형성되어 제1 배선(112)을 노출시키는 콘택홀(C/H1)을 통해 상부 전극(140)이 제1 전압( $V_1$ )이 인가되는 제1 배선(112)과 접촉한다. 본 발명에서 형성되는 콘택홀(C/H1)은 상부 전극 하면과 연결되도록 상부 전극(140) 형성 전에 형성된다. 따라서, 상부 전극 상면을 노출시키던 종래의 MIM 커패시터(도 1 및 도 2 참조)의 콘택홀(C/H) 또는 다마신 영역(D/R)과는 개념적으로 완전히 다른 것이다. 또, 콘택홀(C/H1)이 형성될 유전체막(130)의 두께가 얇기 때문에 콘택홀(C/H1)의 어스펙트비가 작다. 따라서, 종래의 고 어스펙트비를 가지는 콘택홀(C/H) 또는 다마신 영역(D/R) 형성시 발생하는 제 문제들이 발생할 가능성이 매우 작다.
- <49> 상부 전극(140)은  $M_{n+1}$  레벨의 도전층으로 구성되고 제1 배선(112)은  $M_{n-1}$  레벨의 도전층으로 구성된다. 또, 하부 전극(120)은  $M_n$  레벨의 도전층으로 구성되고, 제1 배선(112)과 동일한  $M_{n-1}$  레벨의 도전층으로 구성되고 제2 전압( $V_2$ )이 인가되는 제2 배선(114)과 직접적으로 접촉한다.
- <50> 바람직하기로는, 제1 배선(112) 및 제2 배선(114)의 상면은 평탄화된 평면인 것이 단차의 최소화측면에서 바람직하다. 따라서 도 5의 단면도에서와 같이 제1 배선(112) 및 제2 배선(114)은 층간절연막(105)내에 형성된 트렌치( $T_1$ ,  $T_2$ )

내에 도전막을 증착한 후 이를 화학기계적폴리싱(이하 CMP) 공정에 의해 평탄화하여 층간절연막(105) 내에 임베디드(embedded)된 다마신 배선으로 구성한다. 다마신(damascene) 배선의 구체적인 제조 방법은 이하 제조 방법 실시예에서 상세히 설명한다. 다마신 배선은 원으로 표시된 일부 확대도와 같이 배선 영역이 형성될 트렌치( $T_1$ ,  $T_2$ )의 내벽 및 바닥면에 형성된 장벽 금속막(110) 및 트렌치( $T_1$ ,  $T_2$ )를 매립하는 평탄화된 도전막(111)으로 이루어진다.

<51> 상부 전극(140)은 상부 구조물(미도시)들과의 절연을 위해 상부 층간절연막에 의해 덮여 있다. 상부 층간절연막은 상부 전극(140)을 보호하기 위한 캡핑막(150) 및 층간절연막(155)으로 구성되는 것이 바람직하다.

<52> 제1 배선(112) 및 제2 배선(114)과 다른 배선층간의 상호 연결 관계 및  $M_{n+1}$  레벨 이후의 배선층의 상세한 내용은 각 어플리케이션에 따라 특정된다.

<53> 또, 상부 전극(140)과 하부 전극(120)의 크기는 각 어플리케이션에 따라 특정되며, 가능한 커패시터 전극의 유효 면적으로 작용하는 상부 전극(140)과 하부 전극(120)의 오버랩면적이 최대화되도록 특정된다.

<54> 도 6을 참조하면, 도전막을 CMP하여 제1 배선(112) 및 제2 배선(114)을 완성한 도 5의 구조와 달리, 층간 절연막(105)을 CMP하여 제1 배선(112) 및 제2 배선(114) 패턴을 평탄화된 층간 절연막(105) 내에 임베디드시켜 단차를 최소화할 수도 있다. 구체적으로, 하부 층간절연막(102) 상에 도전막을 형성한 후, 이를 통상의 사진 식각 공정으로 패터닝하여 제1 배선(112) 및 제2 배선(114) 패턴을 형성

한다. 이어서, 층간 절연막(105)을 증착하고 제1 배선(112) 및 제2 배선(114) 패턴의 상면을 층간 절연막(105)의 CMP 종료점으로 하여 CMP 공정을 실시하여 제1 배선(112) 및 제2 배선(114) 패턴의 상면이 평탄화된 평면상에 있도록 한다. 기타 나머지 구성 요소는 도 5의 단면도와 동일하다.

<55> 도 7을 참조하면, 제1 배선(112) 및 제2 배선(114)의 두께가 얇아서 평탄화가 필요하지 않거나, 제1 배선(112) 및 제2 배선(114)의 저항 등의 전기적 특성 관점에서 금속 표면이 거칠지 않고 매끄러울 것이 요구될 경우에는 CMP 공정을 적용하지 않고 MIM 커패시터를 구현한다. 구체적으로, 제1 배선(112) 및 제2 배선(114)은 하부 층간절연막(102) 상에 패턴닝에 의해 형성된 배선 패턴들이다. 그리고, 하부 전극(120)은 제1 배선(112)과는 분리되고 제2 배선(114)과 직접적으로 접촉하도록 패턴닝된다. 제1 배선(112)과 하부 전극(120)의 전기적인 절연이 유전체막(130)에 의해 이루어진다. 나머지 구조는 도 5와 동일하다.

<56> 도 8은 도 3의 등가회로도로서 표시된 본 발명의 제1 실시예에 따른 MIM 커패시터를 구현하기 위한 제2 레이아웃이다. 제2 배선의 상면을 노출시키기 위한 콘택홀 패턴(C/H2)을 더 구비한다는 점에 있어서, 도 4의 제1 레이아웃과 차이가 있고 나머지 패턴들은 동일하다.

<57> 도 8의 제2 레이아웃을 사용하여 구현한 MIM 커패시터의 단면 구조는 제2 레이아웃의 B-B' 선을 따라 자른 단면도들인 도 9 내지 도 11과 같이 다양한 형태를 지닐 수 있다.

<58> 도 9를 참조하면, 하부 전극(120)이 제1 및 제2 배선(112, 114)이 임베디드

되어 있는 층간절연막(105) 위에 형성된 다른 층간절연막(115) 상에 형성된다. 그리고 하부 전극(120)은 다른 층간절연막(115)내에 형성되어 제2 배선(114)을 노출시키는 콘택홀(C/H2)을 통해 제2 배선(114)과 접촉하고, 상부 전극(140)이 유전체막(130) 및 다른 층간절연막(115) 내에 형성된 콘택홀(C/H1)을 통해 제1 배선(112)과 접촉한다는 점을 제외하고는 도 5의 구조와 동일하다. 이 경우에도 콘택홀(C/H1)이 유전체막(130) 및 다른 층간절연막(115) 내에만 형성되므로 어스펙트비가 작다는 장점이 있다.

<59> 도 10을 참조하면, 제1 배선(112) 및 제2 배선(114)의 상면이 평탄화된 평면상에 있도록 하기 위하여 층간절연막(105)을 CMP하여 제1 배선(112) 및 제2 배선(114)을 평탄화된 층간절연막(105)내에 임베디드시킨다는 점에서만 도 9와 다르고 나머지 구조는 동일하다.

<60> 도 11을 참조하면, 제1 배선(112) 및 제2 배선(114)을 패터닝한 후 CMP공정을 적용하지 않고 기판 전면에서 다른 층간절연막(115)을 형성한 구조라는 점에서만 도 9와 다르고 나머지 구조는 동일하다.

<61> 도 12 및 도 13은 도 3의 등가회로도로서 표시된 본 발명의 제1 실시예에 따른 MIM 커패시터를 구현하기 위한 제3 및 제4 레이아웃들이다. 콘택홀 패턴이 하나의 패턴이 아니라 분할된 다수개의 콘택홀 패턴(C/H1', C/H2')으로 구성되어 있다는 점에서 제1 및 제2 레이아웃과 차이가 있다.

<62> 도 14는 본 발명의 제2 실시예에 따른 MIM 커패시터(200)의 등가회로도이다. MIM 커패시터(200)는  $M_n$  레벨의 하부 전극과  $M_{n+1}$  레벨의 상부 전극으로 구성된다. M



$n+1$  레벨의 상부 전극에는  $M_n$  레벨의 하부 전극보다 하부 레벨인  $M_{n-1}$  레벨의 배선을 통해 제1 전압( $V_1$ )이 인가된다.  $M_n$  레벨의 하부 전극에는  $M_x$  레벨(여기서  $x > n+1$ )의 배선을 통해 제2 전압( $V_2$ )이 인가된다.

<63> 도 14의 등가회로도로서 표시된 본 발명의 제2 실시예에 따른 MIM 커패시터 (200)는 도 15 또는 도 16과 같은 제1 또는 제2 레이아웃을 사용하여 구현할 수 있다. 도 15에서 212는 제1 전압( $V_1$ )이 인가되는 제1 배선 패턴을, 220은 하부 전극 패턴을, 240은 상부 전극 패턴을, C/H1은 제1 배선을 노출시키기 위한 콘택홀 패턴을, C/H3는 하부 전극을 노출시키기 위한 콘택홀 패턴을 각각 나타낸다. 도 16은 도 15에 비해 커패시터의 유효 전극으로 사용되는 면적을 최대화하기 위한 레이아웃이다. 따라서, 하부 전극 패턴(220)이 사각 영역 외부에 돌출부를 더 구비하고 하부 전극을 노출시키기 위한 콘택홀 패턴(C/H3)이 돌출부에 배열된다는 점에 있어서 제1 레이아웃과 다를 뿐 나머지 패턴들의 기본적인 배열은 동일하다. 도 12 및 도 13과 마찬가지로, 콘택홀 패턴들(C/H2, C/H3)이 다수개의 분할된 패턴들로 구성될 수 있음은 물론이다.

<64> 제2 실시예를 구현하기 위한 제1 또는 제2 레이아웃인 도 15 또는 도 16을 사용하여 구현한 MIM 커패시터의 단면 구조는 제1 또는 제2 레이아웃의 C-C'선을 따라 자른 단면도들인 도 17 내지 도 19와 같이 다양한 형태를 지닐 수 있다.

<65> 도 17을 참고하면, 상부 전극(240)은 하부 전극(220)과 오버랩되도록 배치되어 있으며, 하부 및 상부 전극(220, 240) 쌍 사이에 유전체막(230)이 개재되어 MIM 커패시터를 구성하고 있다. 제1 전압( $V_1$ )이 인가되는 제1 배선(212)의 상면을 노출시키는 콘택홀(C/H1)을 통해 상부 전극(240)이 제1 배선(212)과

접촉한다. 상부 전극(240)은  $M_{n+1}$  레벨의 도전층으로 구성되고 제1 배선(212)은  $M_{n-1}$  레벨의 도전층으로 구성된다. 또, 하부 전극(220)은  $M_n$  레벨의 도전층으로 구성된다. 그리고, 상부 층간절연막(255, 250) 및 유전체막(230) 내에 형성되어 하부 전극(220)의 상면을 노출시키는 콘택홀(C/H3)을 매립하는 콘택 플러그(C/P\_220)를 통해 제2 전압( $V_2$ )을 인가하기 위한 상부의 제2 배선( $M_x$ )(미도시)과 접촉한다. 이와 같이 하부 전극(220)을 콘택 플러그(C/P\_220)를 통해 연결하더라도 유전체막의 두께를 최소화하기 위한 본 발명의 주된 기술적 과제를 달성할 수 있다.

<66> 도 18은 제1 배선(212)의 상면이 평탄화된 평면상에 있도록 하기 위하여 층간절연막(205)을 CMP하여 제1 배선(212)이 평탄화된 층간절연막(205) 내에 임베디드되도록 한 구조이고, 도 19는 하부 층간절연막(202) 위에 제1 배선(212) 패턴을 형성한 후, CMP공정을 적용하지 않고 다른 층간절연막(215)에 의해 제1 배선(212)과 하부 전극(220)을 절연시킨 구조라는 점에서만 각각 도 17과 다르고 나머지 구조들은 동일하다.

<67> 도 20은 본 발명의 제3 실시예에 따른 MIM 커패시터(300)의 등가회로도이다. MIM 커패시터(300)는  $M_n$  레벨의 하부 전극과  $M_{n+1}$  레벨의 상부 전극으로 구성된다.  $M_{n+1}$  레벨의 상부 전극에는 하부 전극과 동일 레벨인  $M_n$  레벨의 배선을 통해 제1 전압( $V_1$ )이 인가된다.  $M_n$  레벨의 하부 전극에는  $M_x$  레벨(여기서  $x > n+1$ )의 배선을 통해 제2 전압( $V_2$ )이 인가된다.

<68> 도 20의 등가회로도도 표시된 본 발명의 제3 실시예에 따른 MIM 커패시터 (300)는 도 21 또는 도 22와 같은 제1 또는 제2 레이아웃을 사용하여 구현할 수 있다. 도 21에서 320은 하부 전극 패턴을, 322는 제1 전압( $V_1$ )이 인가되는 제1 배선 패턴을, 340은 상부 전극 패턴을, C/H1은 제1 배선을 노출시키기 위한 콘택홀 패턴을, C/H2는 하부 전극을 노출시키기 위한 콘택홀 패턴을 각각 나타낸다. 도 22는 도 21에 비해 커패시터의 유효 전극으로 사용되는 면적을 최대화하기 위한 레이아웃이다. 따라서, 하부 전극 패턴(220)이 사각 영역 외부에 돌출부를 더 구비하고 하부 전극을 노출시키기 위한 콘택홀 패턴(C/H3)이 돌출부에 배열된다는 점에 있어서 제1 레이아웃과 다를 뿐 나머지 패턴들의 기본적인 배열은 동일하다. 도 12 및 도 13과 마찬가지로, 콘택홀 패턴들(C/H2, C/H3)이 다수개의 분할된 패턴들로 구성될 수 있음은 물론이다.

<69> 제3 실시예를 구현하기 위한 제1 또는 제2 레이아웃인 도 21 또는 도 22를 사용하여 구현한 MIM 커패시터의 단면 구조는 제1 또는 제2 레이아웃의 D-D'선을 따라 자른 단면도들인 도 23 내지 도 25와 같이 다양한 형태를 지닐 수 있다.

<70> 도 23을 참조하면, 상부 전극(340)은 하부 전극(320)과 오버랩되도록 배치되어 있으며, 하부 및 상부 전극(320, 340) 쌍 사이에 유전체막(330)이 개재되어 MIM 커패시터를 구성하고 있다. 유전체막(330) 내에 형성되어 제1 배선(322)을 노출시키는 콘택홀(C/H1)을 통해 상부 전극(340)이 제1 전압( $V_1$ )이 인가되는 제1 배선(322)과 접촉한다. 상부 전극(340)은  $M_{n+1}$  레벨의 도전층으로 구성되고 제1 배선(322)은  $M_n$  레벨의 도전층으로 구성된다. 하부 전극(320) 또한  $M_n$  레벨의 도전층으로 구성된다. 그리고, 층간절연막(355, 350) 및 유전체막(330) 내에 형성

되어 하부 전극(320)의 상면을 노출시키는 콘택홀(C/H3)을 매립하는 콘택 플러그(C/P\_320)를 통해 제2 전압( $V_2$ )을 인가하기 위한 상부의 제2 배선( $M_x$ )(미도시)과 연결된다.

<71> 바람직하기로는, 하부 전극(320) 및 제1 배선(322)의 상면은 평탄화된 평면상에 있는 것이 단차의 최소화측면에서 바람직하다. 따라서 도 23의 단면도에서와 같이 하부 전극(320) 및 제1 배선(322)은 절연막(305)내에 형성된 트렌치( $T_b$ ,  $T_2$ ) 내에 도전막을 증착한 후 CMP 공정에 의해 평탄화한 다마신 배선이다. 다마신 배선은 원으로 표시된 일부 확대도와 같이 트렌치( $T_b$ ,  $T_2$ )의 내벽 및 바닥면에 형성된 장벽 금속막(310) 및 트렌치( $T_b$ ,  $T_2$ )를 매립하는 평탄화된 도전막(311)으로 이루어진다. 제1 배선(322)과 다른 배선층간의 상호 연결 관계 및  $M_{n+1}$  레벨 이후의 배선 층의 상세한 내용은 각 어플리케이션에 따라 특정된다.

<72> 도 24를 참조하면, 하부 전극(320) 및 제1 배선(322)이 하부 층간절연막(302) 상에 위치하고, CMP에 의해 평탄화된 층간절연막(305)내에 임베디드된 구조라는 점에서만 도 23과 다르고 나머지 구조는 동일하다.

<73> 도 25를 참조하면, 하부 층간절연막(302) 상에 패터닝에 의해 형성된 하부 전극(320) 및 제1 배선(322) 패턴의 두께가 얇아서 유전체막(330) 만으로도 하부 전극(320)과 제1 배선(322) 패턴의 전기적인 절연이 가능하다면 CMP에 의해 평탄화된 층간 절연막(305)을 생략하고 MIM 커패시터를 구현할 수도 있다.

<74> 이하 도 26 내지 도 29를 참조하여 본 발명의 제1 실시예에 따른 MIM 커패시터를 구현하기 위한 제1 레이아웃인 도 4를 사용하여 도 5에 도시된 MIM 커패시터를 제조하는 방법을 설명한다.

<75> 먼저, 도 26와 같이, 하부에  $M_{n-2}$  레벨의 배선층(미도시)을 구비하는 기판(미도시) 위에 형성된 층간 절연막(105) 내에 제1 및 제2 배선이 형성될 영역을 정의하는 트렌치들( $T_1$ ,  $T_2$ )을 형성한 다음, 제1 및 제2 트렌치( $T_1$ ,  $T_2$ )의 내벽과 바닥에 장벽막(110)을 형성한다. 장벽막(110)으로 전이금속막, 전이금속 합금막 또는 전이금속 화합물막 및 이들의 조합으로 이루어진 군으로부터 선택된 어느 하나를 형성할 수 있다. 예컨대, Ta막, TaN막, TaSiN막, TiN막, TiSiN막, WN막, WSiN막을 사용할 수 있다. 장벽막(110)은 후속 공정에서 제1 및 제2 트렌치( $T_1$ ,  $T_2$ )에 매립되는 금속막의 금속 원자가 층간 절연막(105) 내로 확산되는 것을 방지한다. 이어서, 장벽막(110)이 형성된 제1 및 제2 트렌치( $T_1$ ,  $T_2$ )를 완전히 매립하는 도전막(111), 예컨대 금속막을 형성한다. 도전막으로는 저저항 물질로 다마신 공정에 적합한 물질이라면 어느 물질이라도 적용가능하다.

<76> 도전막으로 구리(Cu)막을 형성하는 경우를 예로 들어 설명한다. 먼저 장벽막(110)이 형성된 제1 및 제2 트렌치( $T_1$ ,  $T_2$ )의 내벽과 바닥에 Cu 종자(seed)막을 형성한다. 다음에, 제1 및 제2 트렌치( $T_1$ ,  $T_2$ )를 완전히 매립하는 Cu막(111)을 전기 도금(electroplating)법에 의하여 형성한다.

<77> 이어서 도 27과 같이, 층간 절연막(105)의 상면이 드러나도록 도전막(111)과 장벽막(110)의 상면을 CMP로 평탄화한다. 그 결과  $M_{n-1}$  레벨의 배선층에 해당하며, 평탄화되어 단차가 없는 제1 배선(112) 및 제2 배선(114)이 완성된다.

<78> 계속해서,  $M_n$  레벨의 도전막을 기판전면에 증착한 후 이를 통상의 사진 식각 공정으로 패터닝하여 하부 전극(120)을 형성한다. 하부 전극(120)이 제2 배선(114)과 직접적으로 접촉하도록 패터닝한다. 하부 전극(120)용 도전막으로는 금속막, 금속 합금막, 금속 화합물막 및 이들의 조합막으로 이루어진 군으로부터 선택된 어느 하나를 형성할 수 있다. 예컨대, Al막, Ta막, TaN막, TaSiN막, TiN막, TiSiN막, WN막, WSiN막 및 이들의 조합막이 사용될 수 있다. 또, 앞서 언급한 막들과 Cu막 또는 Cu합금막의 조합으로 이루어진 이중막, 삼중막등이 사용될 수도 있다. 예컨대, Ta막과 Cu막의 이중막, TaN막과 Cu막의 이중막, Ta막, TaN막과 Cu막의 삼중막, TiN막, AlCu막 및 TiN막의 삼중막으로 이루어진 조합막이 사용될 수 있다.

<79> 이어서, 도 28에 도시되어 있는 바와 같이, 하부 전극(120)이 형성되어 있는 결과물 전면에서 유전체막(130)을 형성한 후, 유전체막(130)을 패터닝하여 제1 배선(112)을 노출시키는 콘택홀(C/H1)을 형성한다. 유전체막(130)은 MIM 커패시터의 커패시턴스를 향상시키기에 적합한 고유전율 물질이라면 그 종류에 구애받지 않는다. 현재 널리 사용되는 유전체막으로는  $SiO_2$ 막,  $Si_xN_y$ 막,  $Si_xC_y$ 막,  $Si_xO_yN_z$ 막,  $Si_xO_yC_z$ 막,  $Al_xO_y$ 막,  $Hf_xO_y$ 막,  $Ta_xO_y$ 막 등을 예로 들 수 있다. 하부 전극(120)이 Cu 성분을 포함할 경우에는  $Si_xN_y$ 막,  $Si_xC_y$ 막의 단일막 또는 소정의 산화막과 조합된 이중막으로 형성하는 것이 바람직하다. 예를 들어, 유전체막(130)으로서  $Si_xN_y$ 막과  $Si_xO_yC_z$ 막의 이중막,  $Si_xN_y$ 막과 TEOS막의 이중막,  $Si_xN_y$ 막과 PEOX막의 이중막,  $Si_xC_y$ 막과  $Si_xO_yC_z$ 막의 이중막,  $Si_xC_y$ 막과 TEOS막의 이중막, 또는  $Si_xC_y$ 막과 PEOX막의 이중막 등으로 형성할 수 있다. 이처럼, 유전막을

$\text{Si}_x\text{N}_y$ 막막과 산화막의 이중막 또는  $\text{Si}_x\text{C}_y$ 막과 산화막의 이중막으로 형성하면 커패시터의 누설 전류 특성이 개선될 수 있다.

<80> 커패시터의 커패시턴스는 하기 식으로 계산된다.

<81> [수학식 2]

<82>  $C = \epsilon \times \{A / d\}$

<83> (여기서, C는 커패시턴스,  $\epsilon$ 는 유전율, A는 플레이트 유효 면적, d는 플레이트사이의 간격)

<84> 수학식 2에서 알 수 있듯이 커패시턴스를 증가시키는 방법은 커패시터 전극의 유효 면적(A)을 넓게 하는 방법, 전극 사이의 간격(d)을 좁게 하는 방법 및 유전율( $\epsilon$ )이 큰 유전막을 사용하는 방법이 있다.

<85> 즉, 원하는 커패시턴스에 따라 유전체막(130)의 형성 두께는 달라질 수 있다. 사용하는 막질이 유전 상수가 3.9인  $\text{SiO}_2$ 막일 때는 대략 345Å의 두께로 형성하고, 사용하는 막질이 유전 상수가 7.5인  $\text{Si}_x\text{N}_y$ 막일 때는 대략 664Å의 두께로 형성하면 단위 면적당 커패시턴스가 1.0fF/ $\mu\text{m}^2$ 가 된다.

<86> 이어서, 상부 전극을 형성하기 위한  $M_{n+1}$  레벨의 도전막을 기판 전면에 증착한 후 이를 통상의 사진 식각 공정으로 패터닝하여 제1 배선(112)과 콘택홀(C/H1)을 통해 접촉하는 상부 전극(140)을 형성한다. 하부 전극(120)용 도전막으로 사용된 물질 어느 것이라도 상부 전극(140)용 도전막으로 사용될 수 있다.

<87> 이후 도 29와 같이, 상부 전극(140)을 보호하기 위한 캡핑막(150)과 층간 절연막(155)을 차례대로 형성한다. 캡핑막(150)과 층간 절연막(155)으로는 TEOS

막, PEOX막,  $\text{Si}_x\text{O}_y\text{C}_z$ 막,  $\text{Si}_x\text{O}_y\text{F}_z$ 막, 또는  $\text{Si}_x\text{N}_y$  막 등을 형성한다. 제1 배선(112) 및 제2 배선(114)과 다른 배선층간의 상호 연결 관계 및  $M_{n+1}$  레벨 이후의 배선층의 제조 공정은 각 어플리케이션에 따라 특정된다.

<88> 도 30 내지 도 31은 본 발명의 제1 실시예에 따른 MIM 커패시터를 구현하기 위한 제1 레이아웃인 도 4를 사용하여 도 6에 도시된 MIM 커패시터를 제조하는 방법을 설명하기 위한 단면도들이다.

<89> 먼저, 도 30과 같이, 하부 층간절연막(102) 상에  $M_{n-1}$  레벨의 도전막을 형성한 후, 통상의 사진 식각 공정으로 패터닝하여 제1 배선(112) 및 제2 배선(114)을 형성한다. 이어서 제1 배선 및 제2 배선(112, 114)을 절연시키기 위한 층간절연막(105)을 소정 두께로 형성한다.

<90> 이어서 도 31과 같이, 제1 및 제2 배선(112, 114)의 상면을 종료점으로 하는 CMP 공정을 실시하여 서로 전기적으로 절연되고 평탄화된 제1 및 제2 배선(112, 114)을 완성한다.

<91> 이후 공정은 도 27 내지 도 29를 참조하여 설명한 공정에 따라 MIM 커패시터를 완성한다.

<92> 도 7, 도 9 내지 도 11, 도 17 내지 도 19 및 도 23 및 도 24의 단면 구조를 가지는 MIM 커패시터는 상술한 제조방법들에 근거하여 반도체 소자 제조 분야의 당업자에게 공지된 임의 방법으로 다양하게 형성될 수 있다.

<93> 이하 도 32를 참조하여 도 25에 도시되어 있는 본 발명의 제3 실시예에 따른 MIM 커패시터를 제조하는 방법을 설명한다.



<94> 먼저 하부 층간절연막(302) 상에  $M_n$  레벨의 도전막을 형성한 후, 통상의 사진 식각 공정으로 패터닝하여 하부 전극(320) 및 제1 배선(322) 패턴을 형성한다. 이어서, 유전체막(330)을 적층한 후, 이를 패터닝하여 제1 배선(322)을 노출시키는 콘택홀(C/H1)을 형성한다. 이후 공정은 반도체 소자 제조 분야의 당업자에게 공지된 임의 방법으로 다양하게 진행하여 도 25와 같은 단면 구조의 MIM 커패시터를 형성한다.

<95> 이상 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, MIM 커패시터를 구성하는 각 구성요소들의 두께, 크기, 구성 물질, 이들의 형성방법 및 식각 방법 등은 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

#### 【발명의 효과】

<96> 본 발명의 MIM 커패시터는 상부 전극에 소정 전압을 인가하기 위한 배선이 하부 전극의 하부 레벨 또는 동일 레벨의 배선이다. 그러므로, 상부 전극에 소정 전압을 인가하기 위한 배선을 상부 전극과 접촉시키기 위한 콘택홀이 상부 전극 상에 형성되는 것이 아니라 상부 전극 형성 전에 형성된다. 따라서, 과도 식각에 견디기 위해 상부 전극 및 유전체막의 두께가 두꺼워지는 종래의 문제점이 근본적으로 발생하지 않는다. 따라서, 유전체막의 두께를 유전체막의 신뢰성이 인정되는 한도 내에서 최소화할 수 있다. 그러므로, 고 커패시턴스의 MIM 커패시터를 구현할 수 있다. 또, 상부 전극과 배선을 접촉시키기 위한 콘택홀이 낮은 어스펙

트비로 형성되므로 종래의 고 어스펙트비의 콘택홀 또는 다마신 영역 형성시 발생하던 문제점들이 최소화된다.

**【특허청구범위】****【청구항 1】**

기판 상에 서로 절연되어 형성된 제1 전압이 인가되는 제1 배선과 제2 전압이 인가되는 제2 배선;

상기 제1 및 제2 배선보다 높은 레벨이고, 상기 제1 배선과 절연되고, 상기 제2 배선과 접촉하는 하부 전극; 및

유전체막을 개재하여 상기 하부 전극과 오버랩되고, 상기 제1 배선과 접촉하는 상부 전극을 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 2】**

제1 항에 있어서, 상기 유전체막은 상기 제1 및 제2 배선 상면의 일부를 덮고,

상기 상부 전극은 상기 유전체막 내에 형성되어 상기 제1 배선을 노출시키는 콘택홀을 통해 상기 제1 배선과 접촉하고,

상기 하부 전극은 상기 제2 배선과 직접 접촉하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 3】**

제1 항 또는 제2 항에 있어서, 상기 제1 및 제2 배선의 상면은 평탄화된 평면인 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 4】**

제3 항에 있어서, 상기 제1 및 제2 배선은

상기 기판 상에 형성된 층간절연막 내에 형성된 트렌치의 내벽과 바닥에 형성된 장벽 금속막; 및

상기 장벽 금속막 위에 형성되어 상기 트렌치를 매립하는 평탄화된 도전막을 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 5】**

제3 항에 있어서, 상기 제1 및 제2 배선은

상기 기판 상에 형성된 하부 층간절연막 위에 위치하고, 상기 하부 층간절연막 위의 평탄화된 층간절연막내에 임베디드된 배선 패턴들인 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 6】**

제2 항에 있어서,

상기 제1 및 제2 배선은 상기 기판 상에 형성된 하부 층간절연막상에 형성된 배선 패턴들이고,

상기 하부 전극은 상기 하부 층간절연막상에 형성되어 상기 제2 배선과 직접적으로 접촉하고,

상기 하부 전극과 상기 제1 배선은 상기 유전체막에 의해 서로 절연되는 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 7】**

제1 항에 있어서, 상기 제1 및 제2 배선은

상기 기판 상에 형성된 층간절연막 내에 형성된 트렌치의 내벽과 바닥에 형성된 장벽 금속막; 및

상기 장벽 금속막 위에 형성되어 상기 트렌치를 매립하는 평탄화된 도전막을 포함하는 다마신 배선이고,

상기 하부 전극은 상기 층간절연막 위에 형성된 다른 층간절연막 상에 형성되고, 상기 다른 층간절연막 내에 상기 제2 배선을 노출시키도록 형성된 콘택홀을 통해 상기 제2 배선과 접촉하고,

상기 유전체막은 상기 다른 층간절연막 및 상기 하부 전극 위에 형성되고,

상기 상부 전극은 상기 유전체막 및 상기 다른 층간절연막 내에 형성되어 상기 제1 배선을 노출시키는 콘택홀을 통해 상기 제1 배선과 접촉하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

#### 【청구항 8】

제1 항에 있어서,

상기 제1 및 제2 배선은 상기 기판 상에 형성된 하부 층간절연막 위에 위치하고, 상기 하부 층간절연막 위의 평탄화된 층간절연막내에 임베디드된 배선 패턴들이고,

상기 하부 전극은 상기 평탄화된 층간절연막 위에 형성된 다른 층간절연막 위에 형성되고, 상기 다른 층간절연막 내에 형성되어 상기 제2 배선을 노출시키는 콘택홀을 통해 상기 제2 배선과 접촉하고,

상기 유전체막은 상기 다른 층간절연막 및 상기 하부 전극 위에 형성되고,

상기 상부 전극은 상기 유전체막 및 상기 다른 층간절연막 내에 형성되어  
상기 제1 배선을 노출시키는 콘택홀을 통해 상기 제1 배선과 접촉하는 것을 특징  
으로 하는 금속-절연체-금속 커패시터.

**【청구항 9】**

제1 항에 있어서,

상기 제1 및 제2 배선은 상기 기판 상에 형성된 하부 층간절연막 상에 형성  
된 배선 패턴들이고,

상기 하부 전극은 상기 배선 패턴들이 형성된 기판 전면에서 형성된 층간절  
연막 위에 형성되고, 상기 층간절연막 내에 형성되어 상기 제2 배선을 노출시키  
는 콘택홀을 통해 상기 제2 배선과 접촉하고,

상기 유전체막은 상기 층간절연막 및 상기 하부 전극 위에 형성되고,

상기 상부 전극은 상기 유전체막 및 상기 층간절연막 내에 형성되어 상기  
제1 배선을 노출시키는 콘택홀을 통해 상기 제1 배선과 접촉하는 것을 특징으로  
하는 금속-절연체-금속 커패시터.

**【청구항 10】**

제1 전압이 인가되는 제1 배선;

상기 제1 배선보다 높은 레벨이고, 상기 제1 배선과 절연되어 있는 하부  
전극; 및

유전체막을 개재하여 상기 하부 전극과 오버랩되고, 상기 제1 배선과 접촉하는 상부 전극을 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

【청구항 11】

제10 항에 있어서, 상기 유전체막은 상기 제1 배선 상면과 상기 하부 전극의 상면을 덮고,

상기 상부 전극은 상기 유전체막 내에 형성되어 상기 제1 배선을 노출시키는 콘택홀을 통해 상기 제1 배선과 접촉하고,

상기 하부 전극은 상기 상부 전극을 덮는 상부 층간절연막 및 상기 유전체막 내에 형성되어 상기 하부 전극을 노출시키는 콘택홀을 통해 제2 전압이 인가되며 상기 상부 전극보다 높은 레벨의 제2 배선과 접촉하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

【청구항 12】

제10 항 또는 제11 항에 있어서, 상기 제1 배선의 상면은 평탄화된 평면인 것을 특징으로 하는 금속-절연체-금속 커패시터.

【청구항 13】

제12 항에 있어서, 상기 제1 배선은

상기 기판 상에 형성된 층간절연막 내에 형성된 트렌치의 내벽과 바닥에 형성된 장벽 금속막; 및

상기 장벽 금속막 위에 형성되어 상기 트렌치를 매립하는 평탄화된 도전막을 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 14】**

제12 항에 있어서, 상기 제1 배선은

상기 기판 상에 형성된 하부 층간절연막 위에 위치하고, 상기 하부 층간절연막 위의 평탄화된 층간절연막내에 임베디드된 제1 배선 패턴인 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 15】**

제10 항에 있어서,

상기 제1 배선은 상기 기판 상에 형성된 하부 층간절연막상에 형성된 배선 패턴이고,

상기 하부 전극은 상기 배선 패턴이 형성된 기판 전면에 형성된 층간절연막 상에 형성되고,

상기 유전체막은 상기 층간절연막 및 상기 하부 전극 위에 형성되고,

상기 상부 전극은 상기 유전체막 및 상기 층간절연막 내에 형성되어 상기 제1 배선을 노출시키는 콘택홀을 통해 상기 제1 배선과 접촉하고,

상기 하부 전극은 상기 상부 전극을 덮는 상부 층간절연막 및 상기 유전체막 내에 형성되어 상기 하부 전극을 노출시키는 콘택홀을 통해 제2 전압이 인가되며 상기 상부 전극보다 높은 레벨의 제2 배선과 접촉하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 16】**

제1 전압이 인가되는 제1 배선;



상기 제1 배선과 절연되어 있으며, 상기 제1 배선과 동일 레벨인 하부 전극; 및

유전체막을 개재하여 상기 하부 전극과 오버랩되고, 상기 제1 배선과 접촉하는 상부 전극을 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 17】**

제16 항에 있어서, 상기 유전체막은 상기 제1 배선 상면과 상기 하부 전극의 상면을 덮고,

상기 상부 전극은 상기 유전체막 내에 형성되어 상기 제1 배선을 노출시키는 콘택홀을 통해 상기 제1 배선과 접촉하고,

상기 하부 전극은 상기 상부 전극을 덮는 상부 층간절연막 및 상기 유전체막 내에 형성되어 상기 하부 전극을 노출시키는 콘택홀을 통해 제2 전압이 인가되며 상기 상부 전극보다 높은 레벨의 제2 배선과 접촉하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 18】**

제16 항 또는 제17 항에 있어서, 상기 하부 전극의 상면과 상기 제1 배선의 상면은 평탄화된 평면인 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 19】**

제18 항에 있어서, 상기 제1 배선 및 상기 하부 전극은,

상기 기판 상에 형성된 층간절연막 내에 형성된 트렌치의 내벽과 바닥에 형성된 장벽 금속막; 및

상기 장벽 금속막 위에 형성되어 상기 트렌치를 매립하는 평탄화된 도전막을 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 20】**

제18 항에 있어서, 상기 제1 배선 및 상기 하부 전극은,  
상기 기판 상에 형성된 하부 층간절연막 위에 위치하고, 상기 하부 층간절연막 위의 평탄화된 층간절연막내에 임베디드된 패턴들인 것을 특징으로 하는 금속-절연체-금속 커패시터.

**【청구항 21】**

제16 항에 있어서, 상기 제1 배선 및 상기 하부 전극은 상기 기판 상에 형성된 하부 층간절연막상에 형성된 패턴들이고,

상기 유전체막은 상기 제1 배선 및 상기 하부 전극 패턴들이 형성된 기판 전면에서 형성되고,

상기 상부 전극은 상기 유전체막 내에 형성되어 상기 제1 배선을 노출시키는 콘택홀을 통해 상기 제1 배선과 접촉하고,

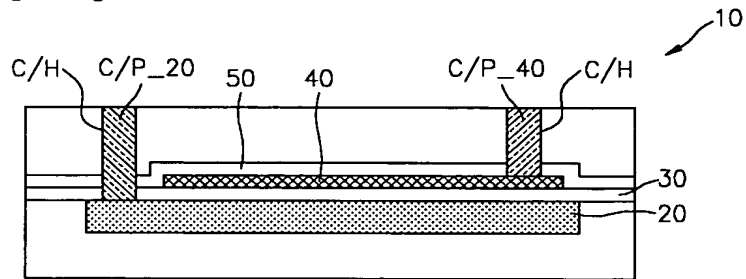
상기 하부 전극은 상기 상부 전극을 덮는 상부 층간절연막 및 상기 유전체막 내에 형성되어 상기 하부 전극을 노출시키는 콘택홀을 통해 제2 전압이 인가되며 상기 상부 전극보다 높은 레벨의 제2 배선과 접촉하는 것을 특징으로 하는 금속-절연체-금속 커패시터.

【청구항 22】

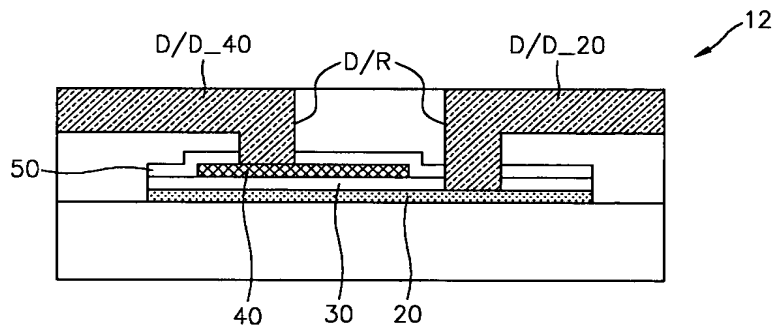
제1 항, 10항 및 16항 중 어느 한 항의 금속-절연체-금속 커패시터를 포함하는 집적회로 칩.

## 【도면】

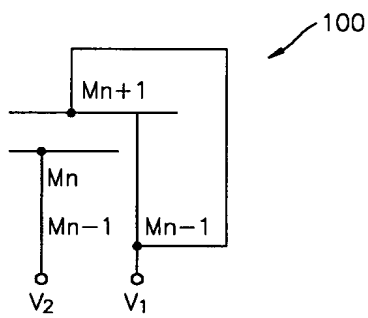
【도 1】



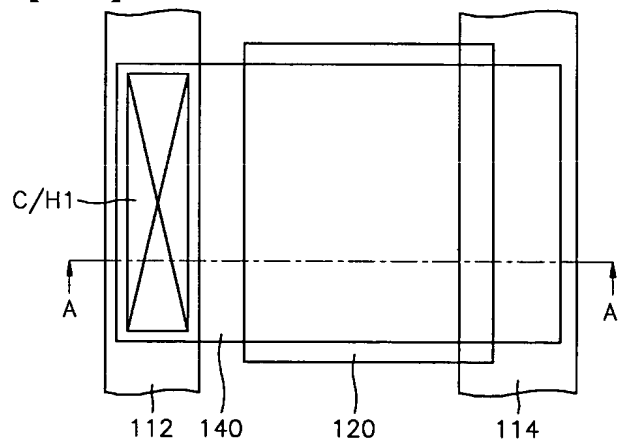
【도 2】



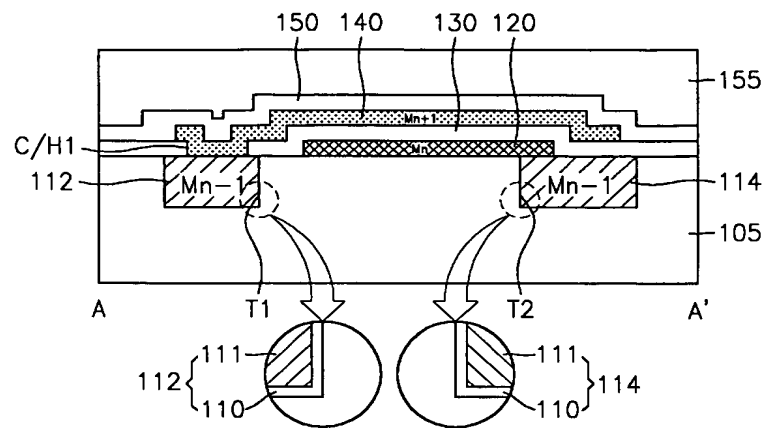
【도 3】



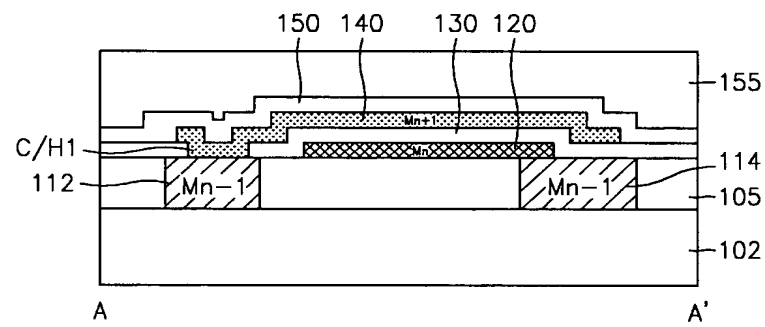
【도 4】



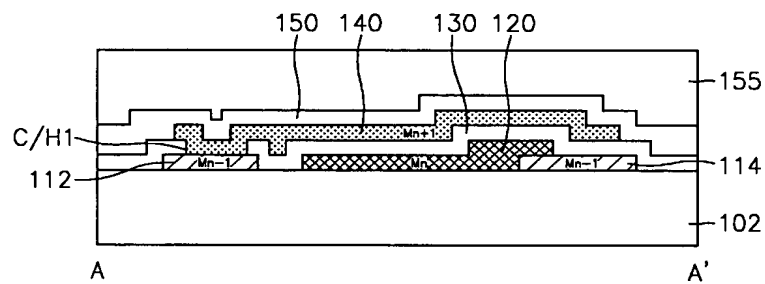
【도 5】



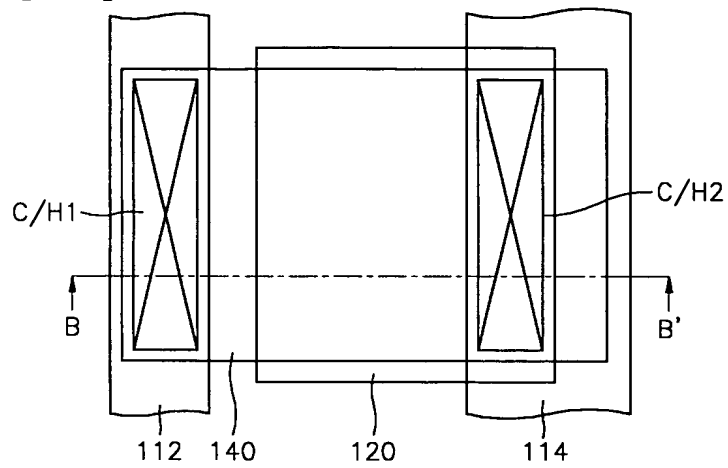
【도 6】



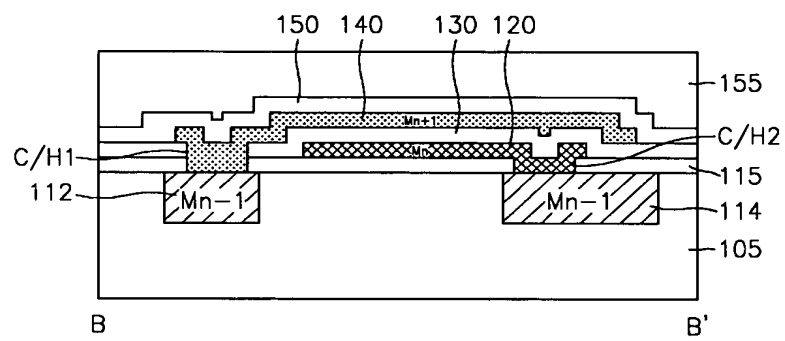
【도 7】



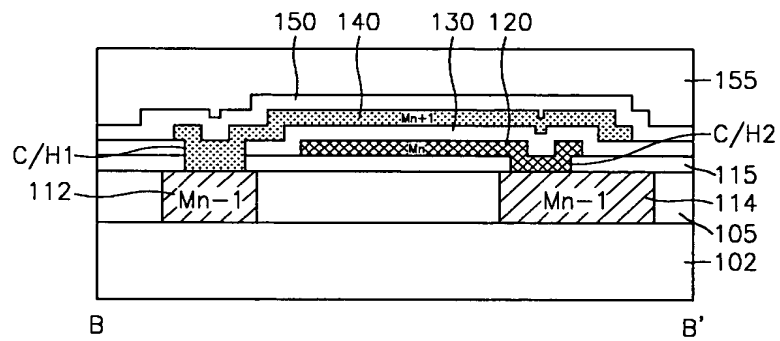
【도 8】



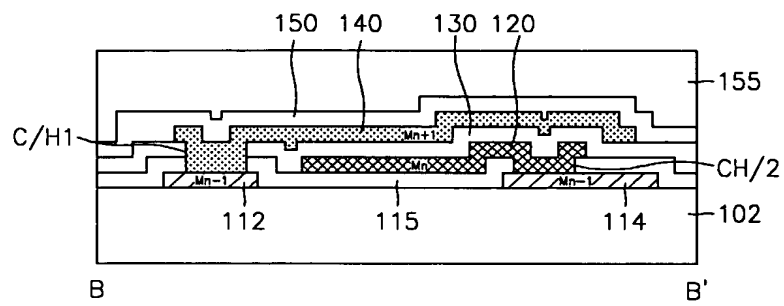
【도 9】



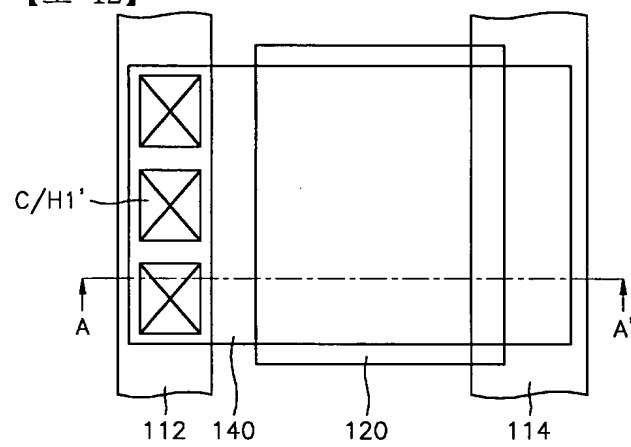
【도 10】



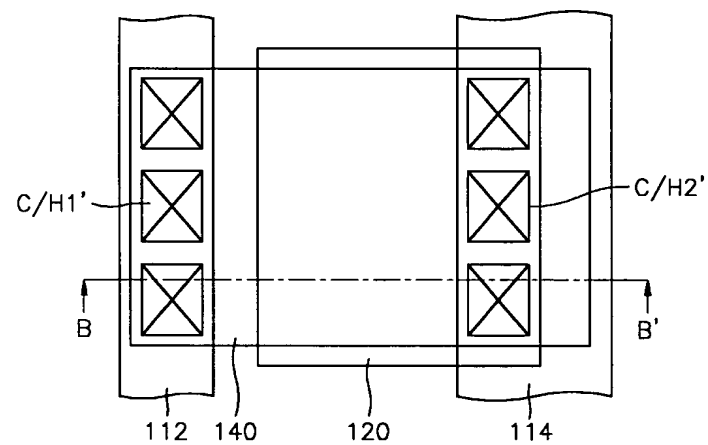
【도 11】



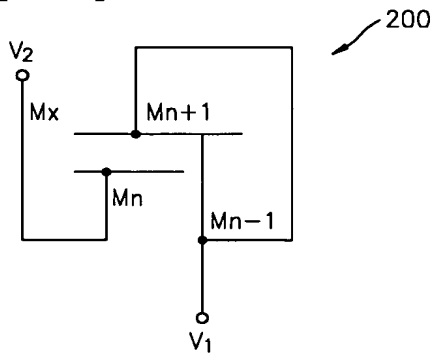
【도 12】



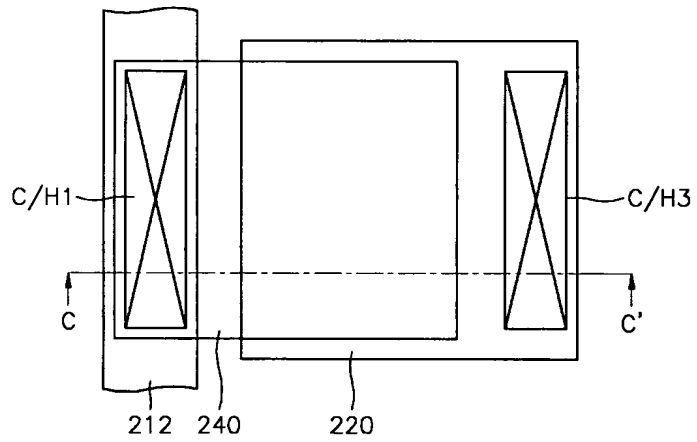
【도 13】



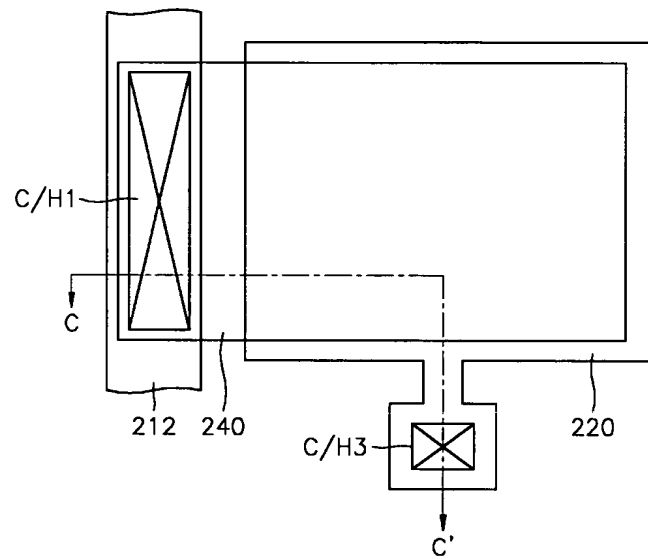
【도 14】



【도 15】

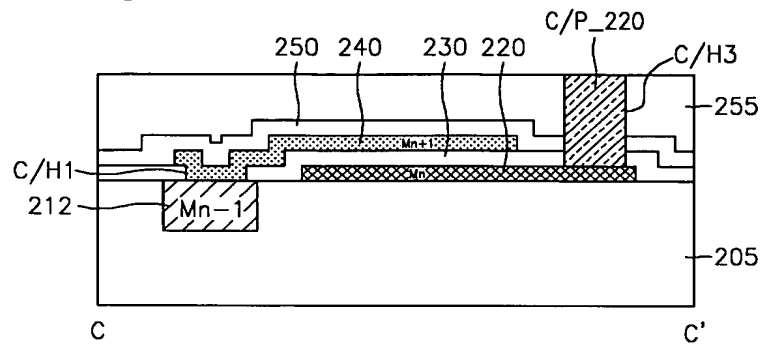


【도 16】

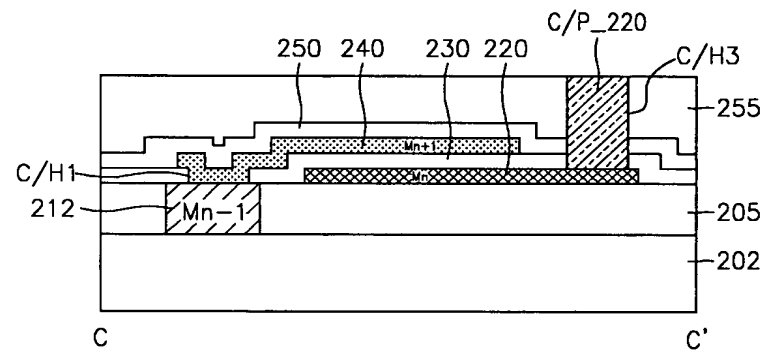




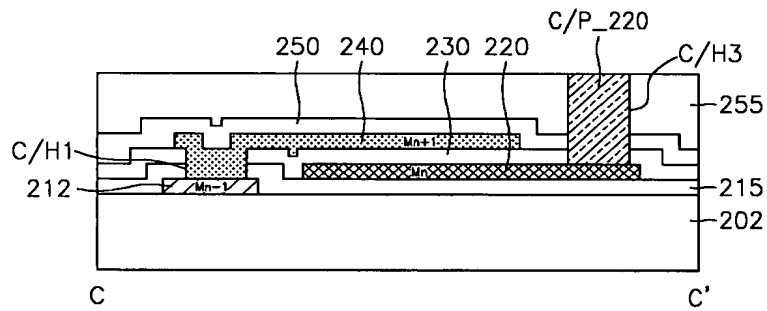
【도 17】



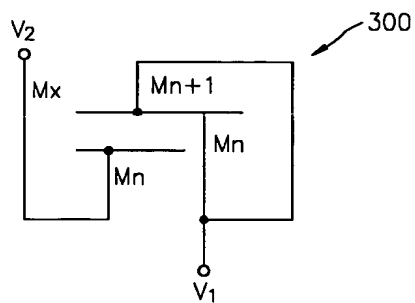
【도 18】



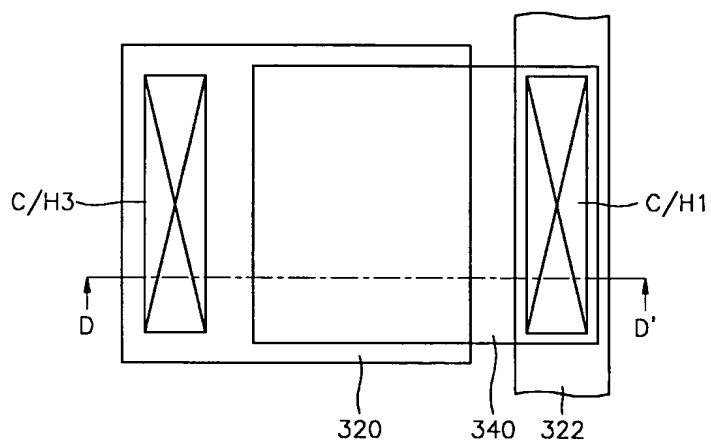
【도 19】



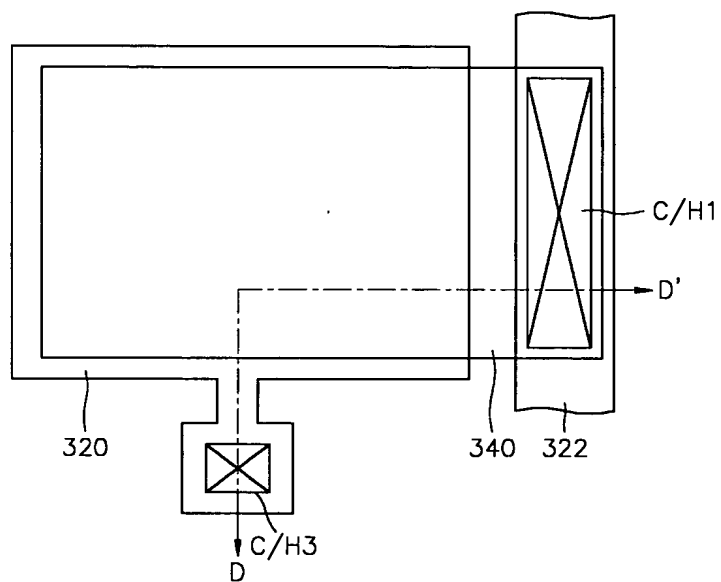
【도 20】



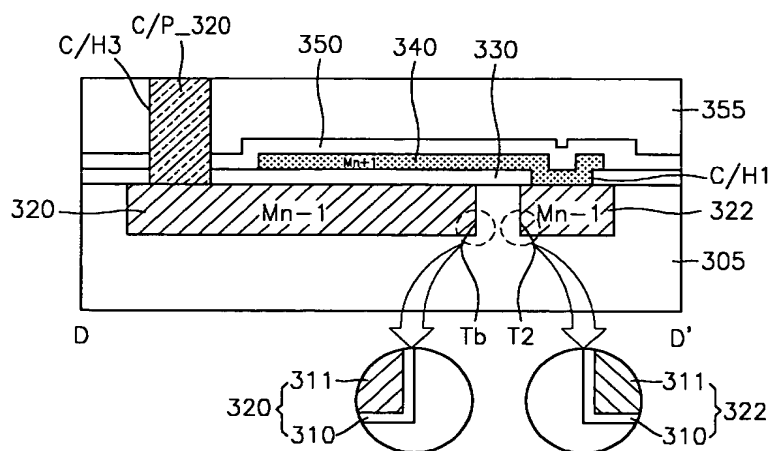
【도 21】



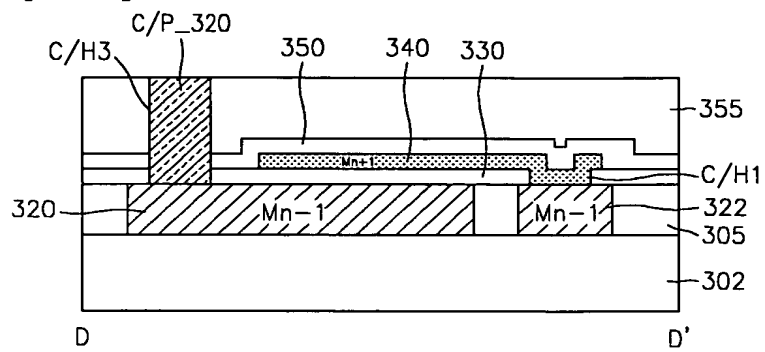
【도 22】



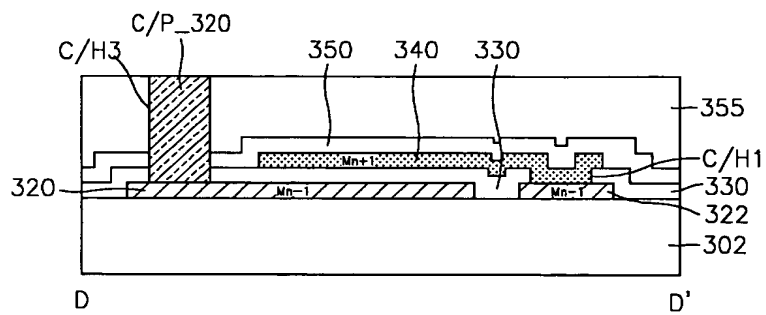
【도 23】



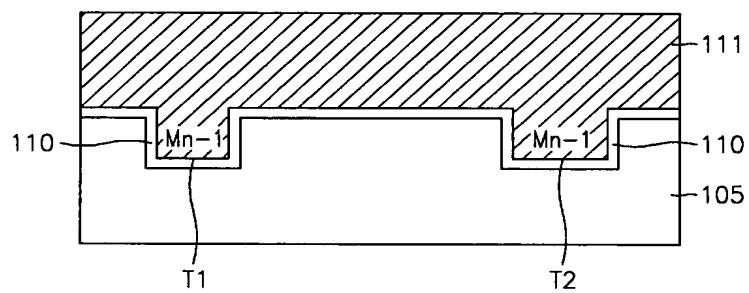
【도 24】



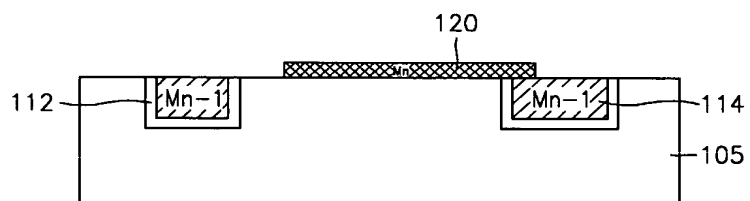
【도 25】



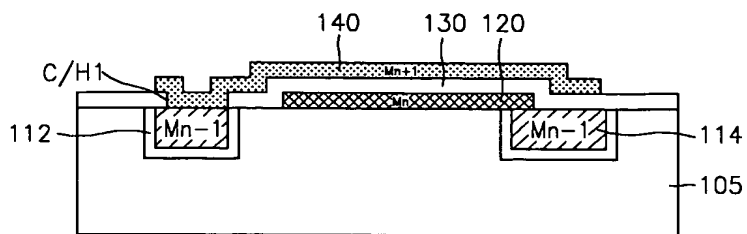
【도 26】



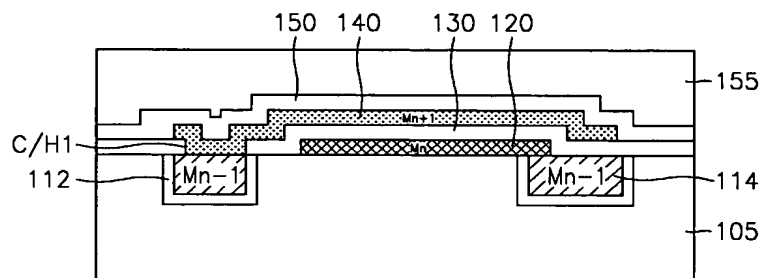
【도 27】



【도 28】



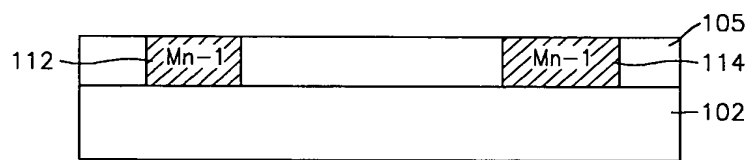
【도 29】



【도 30】



【도 31】



【도 32】

